

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-106521

(43)Date of publication of application : 11.04.2000

(51)Int.Cl.

H03K 3/354  
H03K 3/03

(21)Application number : 10-275175

(71)Applicant : OKI MICRO DESIGN CO LTD  
OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.09.1998

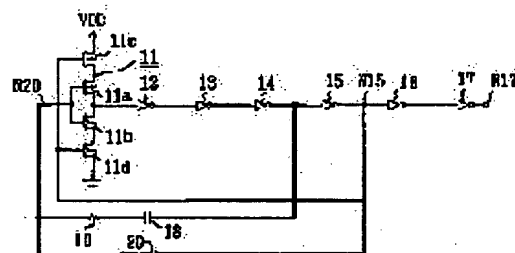
(72)Inventor : SHIRASAKI SEI

## (54) OSCILLATION CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the power consumption of the oscillation circuit.

**SOLUTION:** A polarity of a voltage in an input node N20 is sequentially being inverted by inverters 11-15 consisting of each stage, and an output voltage of an output node 15 is fed back to the input node N20 via a feedback capacitor 18 and a feedback resistor 20 that decide an oscillated frequency. A PMOS 11c or an NMOS 11d is nonconductive in the inverter 11 of a 1st stage for periods other than a period when an output of the inverter 11 is switched so as to prevent occurrence of a through current. Thus, the power consumption of the entire oscillation circuit is reduced.



## LEGAL STATUS

[Date of request for examination]

24.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-106521

(P 2000-106521A)

(43) 公開日 平成12年4月11日(2000.4.11)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ド(参考)
H 0 3 K	3/354	H 0 3 K	C 5J043
	3/03		

審査請求 未請求 請求項の数 5

OL

(全 16 頁)

(21) 出願番号 特願平10-275175

(22) 出願日 平成10年9月29日(1998.9.29)

(71) 出願人 591049893

株式会社 沖マイクロデザイン

宮崎県宮崎郡清武町大字木原7083番地

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 白崎 聖

宮崎県宮崎市大和町9番2号 株式会社沖マ

イクロデザイン宮崎内

(74) 代理人 100086807

弁理士 柿本 恭成

Fターム(参考) 5J043 AA00 AA03 AA05 BB01 DD02

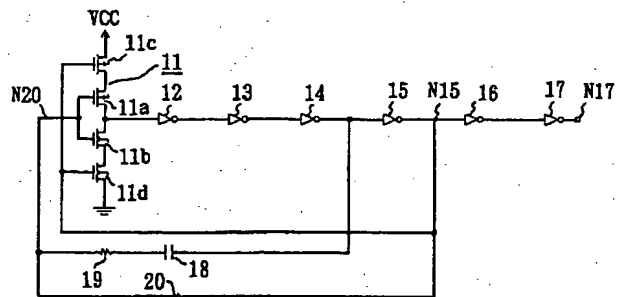
DD07 FF03 LL01 LL04

(54) 【発明の名称】 発振回路

(57) 【要約】

【課題】 低消費電力化を図る。

【解決手段】 入力ノードN20の電圧が各段のインバータ11~15で順次反転され、出力ノードN15の出力電圧が発振周波数決定用の帰還コンデンサ18及び帰還抵抗20を介して入力ノードN20側に帰還される。1段目のインバータ11内において、このインバータ11の出力の切替わる瞬間以外は、PMOS11c又はNMOS11dがオフ状態になって貫通電流が防止される。これにより、発振回路全体の電力消費量を低減できる。



本発明の第1の実施形態のCR発振回路

【特許請求の範囲】

【請求項1】 入力ノードと出力ノードとの間に縦続接続されたn段（但し、nは奇数）のインバータと、前記（n-1）段目のインバータの出力側と前記入力ノードとの間に接続された発振周波数決定用の帰還コンデンサと、

前記出力ノードと前記入力ノードとの間に接続された発振周波数決定用の帰還抵抗とを備え、

前記1段目のインバータは、

第1の電極、前記2段目のインバータの入力側に接続された第2の電極、及び前記入力ノードに接続され該入力ノード上の電位によって該第1と第2の電極間の導通状態を制御する制御電極を有する第1導電型の第1のトランジスタと、

前記2段目のインバータの入力側に接続された第1の電極、第2の電極、及び前記入力ノードに接続され該入力ノード上の電位によって該第1と第2の電極間の導通状態を制御する制御電極を有し、前記第1導電型に対して逆極性の第2導電型の第2のトランジスタと、

第1の電源電位ノードに接続された第1の電極、前記第1のトランジスタの第1の電極に接続された第2の電極、及び前記出力ノードに接続され該出力ノード上の電位によって該第1と第2の電極間の導通状態を制御する制御電極を有する前記第1導電型の第3のトランジスタと、

前記第2のトランジスタの第2の電極に接続された第1の電極、前記第1の電源電位ノードとは異なる第2の電源電位ノードに接続された第2の電極、及び前記出力ノードに接続され該出力ノード上の電位によって該第1と第2の電極間の導通状態を制御する制御電極を有する前記第2導電型の第4のトランジスタとを備えたことを特徴とする発振回路。

【請求項2】 請求項1記載の発振回路において、前記第1のトランジスタの第1の電極と前記第2の電源電位ノードとの間に第1のコンデンサを接続し、前記第2のトランジスタの第2の電極と前記第2の電源電位ノードとの間に第2のコンデンサを接続したことを特徴とする発振回路。

【請求項3】 請求項1又は2記載の発振回路において、前記帰還コンデンサと直列に、制限抵抗を接続したことを特徴とする発振回路。

【請求項4】 請求項1、2又は3記載の発振回路において、前記出力ノードに出力バッファを接続したことを特徴とする発振回路。

【請求項5】 請求項1、2、3又は4記載の発振回路において、前記n段のインバータは、電界効果トランジスタでそれぞれ構成したことを特徴とする発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、消費電力の少ない

CR発振回路等の発振回路に関するものである。

【0002】

【従来の技術】図2は、従来のCR発振回路の一構成例を示す回路図である。このCR発振回路は、入力ノードN10と出力ノードN5との間に縦続接続された5段の増幅回路用インバータ1~5を有している。出力ノードN5には、出力バッファ用インバータ6、7を介して出力端子N7が接続されている。4段目のインバータ4の出力側は、発振周波数決定用の帰還コンデンサ8及び制限抵抗9を介して入力ノードN10に帰還接続されている。さらに、出力ノードN5は、発振周波数決定用の帰還抵抗10を介して入力ノードN10に帰還接続されている。各インバータ1~7は、電源電位VCC（例えば、5V）とグラウンド（=0V）との間に直列接続されたPチャネルの金属ゲート型電界効果トランジスタ（以下、「PMOS」という）及びNチャネルの金属ゲート型電界効果トランジスタ（以下、「NMOS」という）で構成されている。各回線素子の特性値は、例えば、次のように設定されている。

【0003】1段目のインバータ1を構成するPMOS及びNMOSの各ディメンジョン（即ち、ゲート幅W/ゲート長L）は10.0/3.0である。同様に、2段目のインバータ2を構成するPMOS及びNMOSの各ディメンジョンは3.0/5.0、3段目のインバータ3を構成するPMOS及びNMOSの各ディメンジョンは3.0/1.2、4段目のインバータ4を構成するPMOSのディメンジョンは15.0/1.2、NMOSのディメンジョンは10.0/1.2、5段目のインバータ5を構成するPMOSのディメンジョンは10.0/1.2、及びNMOSのディメンジョンは5.0/1.2である。出力バッファ用インバータ6を構成するPMOS及びNMOSの各ディメンジョンは3.0/1.2、インバータ7を構成するPMOSのディメンジョンは15.0/1.2、及びNMOSのディメンジョンは8.0/1.2である。各インバータ1~7の閾値電圧V<sub>t</sub>は、2.5V前後である。帰還コンデンサ8は5pF、制限抵抗9は500Ωである。さらに、発振周波数が100KHzになるように帰還抵抗10が900KΩに設定されている。

【0004】次に、図2のCR発振回路の動作を説明する。例えば、初期状態として、1段目のインバータ1の入力電圧が“L”レベルだったとする。すると、この“L”レベルが1段目~4段目の各インバータ1~4で順次反転され、該4段目のインバータ4の出力電圧が“L”レベル、これが5段目のインバータ5で反転されてこの出力電圧が“H”レベルとなる。5段目のインバータ5の出力電圧の“H”レベルは、時定数CR（但し、Cは帰還コンデンサ8の容量値、Rは帰還抵抗10の抵抗値）により遅延されて入力ノードN10側に帰還されるので、1段目のインバータ1の入力電圧が上昇し

ていく。1段目のインバータ1の入力電圧が該インバータ1の閾値電圧 $V_1$ を超えると、該インバータ1の出力電圧が“L”レベルに反転され、この“L”レベルが2段目～5段目の各インバータ2～5で順次反転されるので、該5段目のインバータ5の出力電圧が“L”レベルへと下降する。この“L”レベルが時定数CRによって遅延されて入力ノードN10側へ帰還されるので、1段目のインバータ1の入力電圧も“L”レベルへと下降していく。このような動作を繰り返して図2のCR発振回路が発振し、出力バッファ用インバータ6、7を介して出力端子N7から、発振周波数100KHzの出力信号が出力される。

#### 【0005】

【発明が解決しようとする課題】しかしながら、従来のCR発振回路では、次のような課題があった。図3は図2中のインバータ1の入力波形図、図4は図2中のインバータ1の出力波形図、図5は図2中のインバータ5の出力波形図、及び図6は図2中のインバータ7の出力波形図である。図7は発振周波数100KHzにおける図2中のインバータ1の消費電流波形図、及び図8は発振周波数100KHzにおける図2の全体の平均消費電流波形図である。従来のCR発振回路では、図3に示すように、例えば、初期状態として1段目のインバータ1の入力電圧が“L”レベルだとする。すると、4段目のインバータ4の出力電圧が“L”レベル、5段目のインバータ5の出力電圧が“H”レベルとなる。5段目のインバータ5の“H”レベルを受けて、1段目のインバータ1の入力電圧が上昇していくが、コンデンサ8に充電されるため、ゆっくりとした上昇になる(図3のA部分)。

【0006】1段目のインバータ1の入力電圧が該インバータ1の閾値電圧 $V_1$ (2.5V前後)を超えたところで、該インバータ1の出力電圧が反転して“L”レベルとなる。この結果、4段目のインバータ4の出力電圧が“H”レベル、5段目のインバータ5の出力電圧が“L”レベルとなる。4段目のインバータ4の出力電圧が“H”レベルとなると、このインバータ4に接続されたコンデンサ8の一方の電極側が0Vから電源電位VCC(例えば、5V)へと跳ね上がる。このため、コンデンサ8の他方の電極側も2.5Vから7.5Vへと跳ね上がる(図3のB部分)。5段目のインバータ5の出力電圧が“L”レベルとなっているのを受けて、コンデンサ8は徐々に放電する(図3のC部分)。1段目のインバータ1の入力電圧が徐々に下降していき、該インバータ1の閾値電圧 $V_1$ (2.5V前後)のところまで来ると、該インバータ1の出力電圧が反転して“H”レベルとなる。この結果、4段目のインバータ4の出力電圧が“L”レベル、5段目のインバータ5の出力電圧が“H”レベルとなる。4段目のインバータ4の出力電圧が“L”レベルとなると、該インバータ4に接続された

コンデンサ8の一方の電極側が5Vから0Vへと下がる。このため、コンデンサ8の他方の電極側も2.5Vから-2.5Vへと下がる(図3のD部分)。

【0007】1段目のインバータ1を構成するNMOS及びPMOSのうち、NMOSは $V_1$ ( $\approx 2.5V$ )～5Vの範囲でオン状態となり、PMOSは $0V \sim (5V - V_1)$ ( $\approx 2.5V$ )の範囲でオン状態となる。このため、 $V_1 \sim (5V - V_1)$ の範囲、即ち2.5V付近ではNMOS及びPMOSの両方がオン状態となり、図7に示すように、1段目のインバータ1内の電源電位VCCからグランドへ大きな貫通電流が流れる。この結果、図8に示すように、発振周波数100KHzにおいてCR発振回路の平均消費電流は、Hspiceでのシミュレーション値が27.78 $\mu A$ という大きな値になる。このように、従来のCR発振回路では、1段目のインバータ1内に大きな貫通電流が流れてCR発振回路全体の消費電力が大きいう課題があった。本発明は、前記従来技術が持っていた課題を解決し、1段目のインバータの貫通電流を抑制して低消費電力化を図った発振回路を提供することを目的とする。

#### 【0008】

【課題を解決するための手段】前記課題を解決するために、本発明のうちの第1の発明は、発振回路において、入力ノードと出力ノードとの間に縦続接続されたn段(但し、nは奇数)のインバータと、前記(n-1)段目のインバータの出力側と前記入力ノードとの間に接続された発振周波数決定用の帰還コンデンサと、前記出力ノードと前記入力ノードとの間に接続された発振周波数決定用の帰還抵抗とを備え、前記1段目のインバータを次のように構成している。即ち、前記1段目のインバータは、第1の電極、前記2段目のインバータの入力側に接続された第2の電極、及び前記入力ノードに接続され該入力ノード上の電位によって該第1と第2の電極間の導通状態を制御する制御電極を有する第1導電型の第1のトランジスタと、前記2段目のインバータの入力側に接続された第1の電極、第2の電極、及び前記入力ノードに接続され該入力ノード上の電位によって該第1と第2の電極間の導通状態を制御する制御電極を有し、前記第1導電型に対して逆極性の第2導電型の第2のトランジスタと、第1の電源電位ノードに接続された第1の電極、前記第1のトランジスタの第1の電極に接続された第2の電極、及び前記出力ノードに接続され該出力ノード上の電位によって該第1と第2の電極間の導通状態を制御する制御電極を有する前記第1導電型の第3のトランジスタと、前記第2のトランジスタの第2の電極に接続された第1の電極、前記第1の電源電位ノードとは異なる第2の電源電位ノードに接続された第2の電極、及び前記出力ノードに接続され該出力ノード上の電位によって該第1と第2の電極間の導通状態を制御する制御電極を有する前記第2導電型の第4のトランジスタとを備

えている。

【0009】このような構成を採用したことにより、例えば、初期状態として入力ノードの電圧が“L”レベルだったとすると、(n-1)段目のインバータの出力電圧が“L”レベル、n段目のインバータの出力電圧が“H”レベルとなる。この“H”レベルを受け、帰還抵抗を介して入力ノード側の電圧が上昇していくが、帰還コンデンサに充電されるためにゆっくりとした上昇になる。n段目のインバータの出力電圧の“H”レベルにより、例えば、第3のトランジスタがオフ状態、第4のトランジスタがオン状態となる。入力ノード側の電圧が例えば第2のトランジスタの閾値電圧を超えたところで、該第2及び第4のトランジスタが共にオン状態となるため、この1段目のインバータの出力電圧が“L”レベルとなる。(n-1)段目のインバータの出力電圧が“H”レベルとなると、帰還コンデンサを介して入力ノード側の電圧が、例えば第2のトランジスタの閾値電圧以上に上昇する。この時、例えば、n段目のインバータの出力電圧を受けている第3のトランジスタがオン状態、第4のトランジスタがオフ状態、入力ノードの電圧を受ける第1のトランジスタがオフ状態、第2のトランジスタがオン状態となる。その後、帰還コンデンサが放電し、入力ノードの電圧が下降して第2のトランジスタの閾値電圧以下になったところで、第1のトランジスタがオン状態となり、該第1及び第3のトランジスタが共にオンとなった状態を受けてこの第1のインバータの出力電圧が“H”レベルになる。このような動作を繰り返して、所定の発振周波数の出力信号が出力ノードから出力される。この第1の発明では、1段目のインバータの出力電圧の切替えが該インバータ自体の閾値電圧でなく、該インバータを構成するトランジスタの閾値電圧に依存する。又、1段目のインバータの出力電圧の切替わる瞬間以外は、第3又は第4のトランジスタが確実にオフ状態になって貫通電流が遮断される。

【0010】第2の発明では、第1の発明の発振回路において、前記第1のトランジスタの第1の電極と前記第2の電源電位ノードとの間に第1のコンデンサを接続し、前記第2のトランジスタの第2の電極と前記第2の電源電位ノードとの間に第2のコンデンサを接続している。これにより、第1及び第2のコンデンサに充電された電荷によって2段目のインバータが駆動される。第3の発明では、第1又は第2の発明の発振回路において、前記帰還コンデンサと直列に制限抵抗を接続している。これにより、帰還コンデンサを通過する過電流が抑制され、第1及び第2のトランジスタが保護される。第4の発明では、第1、第2又は第3の発明の発振回路において、前記出力ノードに出力バッファを接続している。これにより、出力ノードから出力された発振信号が出力バッファを介して負荷へ供給される。第5の発明では、第1、第2、第3又は第4の発明の発振回路において、前

記n段目のインバータを電界効果トランジスタ(以下、「FET」という)でそれぞれ構成している。これにより、1段目のインバータの切替えが該インバータ自体の閾値電圧でなく、FETの閾値電圧に依存する。

【0011】

【発明の実施の形態】第1の実施形態

図1は、本発明の第1の実施形態を示すCR発振回路の回路図である。このCR発振回路は、入力ノードN20と出力ノードN15との間に縦続接続されたn段(例えば、5段)の増幅回路用インバータ11~15を有している。出力ノードN15は、出力バッファ用インバータ16、17を介して出力端子N17に接続されている。4段目のインバータ14の出力側は、発振周波数決定用の帰還コンデンサ18及び制限抵抗19を介して入力ノードN20に帰還接続されている。さらに、出力ノードN15は、発振周波数決定用の帰還抵抗20を介して入力ノードN20に帰還接続されている。1段目のインバータ11は、第1導電型の第1のトランジスタ(例えば、PMOS)11a、第2導電型の第2のトランジスタ(例えば、NMOS)11b、第1導電型の第3のトランジスタ(例えば、PMOS)11c、及び第2導電型の第4のトランジスタ(例えば、NMOS)11dを有し、これらのPMOS11c、11a及びNMOS11b、11dが第1の電源電位(例えば、VCC=5V)ノードと第2の電源電位(例えば、グランド=0V)ノードとの間に直列接続されている。PMOS11a及びNMOS11bの各ゲートは、入力ノードN20に接続され、該PMOS11aとNMOS11bの接続点が、2段目のインバータ12の入力側に接続されている。PMOS11c及びNMOS11dは、これらのゲートが出力ノードN15に接続され、該出力ノードN15の電圧によってゲート制御されるようになっている。他のインバータ12~17は、電源電位VCCとグランドとの間に直列接続されたPMOS及びNMOSでそれぞれ構成されている。

【0012】各回路素子の特性値は、従来のCR発振回路との比較を容易にするために、例えば、帰還抵抗20の抵抗値を除いて、従来と同一の値に設定されている。即ち、1段目のインバータ11を構成するPMOS11a、11c及びNMOS11b、11dの各ディメンジョンは、従来と同様に10.0/3.0である。さらに、従来と同様に、2段目のインバータ12を構成するPMOS及びNMOSの各ディメンジョンは3.0/5.0、3段目のインバータ13を構成するPMOS及びNMOSの各ディメンジョンは3.0/1.2、4段目のインバータ14を構成するPMOSのディメンジョンは15.0/1.2、NMOSのディメンジョンは10.0/1.2、5段目のインバータ15を構成するPMOSのディメンジョンは10.0/1.2、及びNMOSのディメンジョンは5.0/1.2である。さら

に、従来と同様に、出力バッファ用インバータ16を構成するPMOS及びNMOSの各ディメンジョンは3.0/1.2、インバータ17を構成するPMOSのディメンジョンは15.0/1.2、及びNMOSのディメンジョンは8.0/1.2である。各インバータ11~17の閾値電圧 $V_{th}$ は、2.5V前後である。従来と同様に、帰還コンデンサ18は5pF、制限抵抗19は500 $\Omega$ である。帰還抵抗20の抵抗値は、従来と異なり、発振周波数が100KHzになるように2500K $\Omega$ に設定されている。

【0013】図9は図1中の入力ノードN20の波形図、図10は図1中の出力ノードN15の波形図、図11は図1中のインバータ11の出力波形図、図12は図1中のインバータ17の出力波形図、図13は図1中のインバータ11の消費電流波形図、及び図14は図1の全体の平均消費電流波形図である。以下、図9~図14を参照しつつ、図1のCR発振回路の動作を説明する。例えば、初期状態として、入力ノードN20の電圧が“L”レベルだったとする。すると、この“L”レベルは1段目~4段目の各インバータ11~14で順次反転され、該4段目のインバータ14の出力電圧が“L”レベル、これが5段目のインバータ15で反転されてこの出力電圧が“H”レベルとなる。5段目のインバータ15の“H”レベルを受け、帰還抵抗20を介して入力ノードN20の電圧が上昇していくが、帰還コンデンサ18に充電されるため、ゆっくりとした上昇になる(図9のA部分)。この時、出力ノードN15の“H”レベルにより、PMOS11cがオフ状態、及びNMOS11dがオン状態となっている。

【0014】入力ノードN20の電圧がNMOS11bの閾値電圧 $V_{in}$ を超えたところで、該NMOS11b、11dが共にオン状態となるため、このインバータ11の出力電圧が“L”レベルとなる。この“L”レベルが2段目~5段目のインバータ12~15で順次反転されるので、該4段目のインバータ14の出力電圧が“H”レベル、5段目のインバータ15の出力電圧が“L”レベルとなる。4段目のインバータ14の出力電圧が“H”レベルとなると、このインバータ14に接続されたコンデンサ18の一方の電極側が0Vから電源電位VCC(例えば、5V)へと跳ね上がる。このため、コンデンサ18の他方の電極側も、NMOS11bの閾値電圧 $V_{in}$ から( $V_{in}+5V$ )へと跳ね上がる(図9のB部分)。この時、出力ノードN15の“L”レベルを受けているPMOS11cがオン状態、及びNMOS11dがオフ状態となり、さらに入力ノードN20の電圧を受けるPMOS11aがオフ状態、及びNMOS11bがオン状態となる。この際、1段目のインバータ11の出力側は、フローティング状態にならず、MOSトランジスタの寄生容量等によって直前の“L”レベルを維持する。

【0015】1段目のインバータ11の出力電圧の“L”レベルは、2段目~5段目のインバータ12~15で順次反転され、該5段目のインバータ15の出力電圧が“L”レベルとなる。この“L”レベルを受けて、コンデンサ18は徐々に放電する(図9のC部分)。入力ノードN20の電圧が徐々に下降していき、( $5V-V_{tp}$ )以下になったところで、PMOS11aがオン状態となる。この時、出力ノードN15の“L”レベルによってPMOS11cもオン状態となる。PMOS11a、11cが共にオンとなった状態を受けて、この1段目のインバータ11の出力電圧が“H”レベルになる。この“H”レベルが2段目~5段目のインバータ12~15で順次反転され、該4段目のインバータ14の出力電圧が“L”レベル、及び5段目のインバータ15の出力電圧が“H”レベルとなる。これを受けて1段目のインバータ11のPMOS11cがオフ状態、NMOS11dがオン状態、PMOS11aがオン状態、及びNMOS11bがオフ状態となり、MOSトランジスタの寄生容量等によって該1段目のインバータ11の出力電圧が“H”レベルを維持する。このような動作を繰り返して図1のCR発振回路が発振し、出力バッファ用インバータ16、17を介して出力端子N17から、発振周波数100KHzの出力信号が出力される。

【0016】以上のように、本実施形態のCR発振回路では、次の(i)~(iii)のような効果がある。

(i) 1段目のインバータ11において、入力ノードN20の電圧によってPMOS11aとNMOS11bの切替え、さらに出力ノードN15の出力電圧によってPMOS11cとNMOS11dの切替えを行っているので、該1段目のインバータ11の出力の切替えが従来のようなインバータ自体の閾値電圧 $V_{th}$ でなく、MOSトランジスタの閾値電圧 $V_{in}$ 、 $V_{tp}$ に依存する。しかも、図9の入力ノードN20の波形と図10の出力ノードN15の波形とは逆の位相を持っており、PMOS11aがオン状態の時はPMOS11cがオフ状態、NMOS11bがオン状態の時はNMOS11dがオフ状態となっている。つまり、1段目のインバータ11の出力の切替わる瞬間以外は、PMOS11c又はNMOS11dが確実にオフ状態になるので、該1段目のインバータ11内の電源電位VCCからグランドへの貫通電流を防止できる。このため、図13に示すように、インバータ11の消費電流は従来の図7の消費電流に比べて少ない。この結果、図14に示すように、発振周波数100KHzにおいてCR発振回路の平均消費電流は、Hspiceでのシミュレーション値が2.60 $\mu$ Aという非常に小さな値になる。

(ii) 帰還コンデンサ18の容量値及び帰還抵抗20の抵抗値を変えることにより、発振周波数を任意に設定できる。

(iii) 帰還コンデンサ18に対して直列に制限抵抗1

9を接続しているため、PMOS11a及びNMOS11bの各ゲートへ流れる過電流を防止でき、これによって該PMOS11a及びNMOS11bを保護することができる。又、制限抵抗19によって入力ノードN20の電圧変動を抑制し、1段目のインバータ11の出力の切替を精度良く行うことができる。

#### 【0017】第2の実施形態

図15は、本発明の第2の実施形態を示すCR発振回路の回路図であり、第1の実施形態を示す図1中の要素と共通の要素には共通の符号が付されている。このCR発振回路では、図1の1段目のインバータ11に代えて、構成の異なるインバータ11Aを設けると共に、図1の帰還抵抗20に代えて、抵抗値の異なる帰還抵抗20Aを設けている。1段目のインバータ11Aは、第1の実施形態と同様に電源電位VCCとグランドとの間に直列接続されたPMOS11c、11a及びNMOS11b、11dを有する他に、該PMOS11c、11aの接続点とグランドとの間に第1のコンデンサ11eが接続されると共に、該NMOS11b、11dの接続点とグランドとの間に第2のコンデンサ11fが接続されている。各コンデンサ11e、11fは、容量値が例えば1pFである。帰還抵抗20Aの抵抗値は、発振周波数が100KHzになるように2200KΩに設定されている。その他の構成及び各回路素子の特性値は、図1と同様である。

【0018】図16は図15中の入力ノードN20の波形図、図17は図15中の出力ノードN15の波形図、図18は図15中のインバータ11Aの出力波形図、図19は図15中のインバータ17の出力波形図、図20は図15中のインバータ11Aの消費電流波形図、及び図21は図15の全体の平均消費電流波形図である。以下、図16～図21を参照しつつ、図15のCR発振回路のコンデンサ11e、11fの動作を説明する。図1の1段目のインバータ11は、PMOS11c及びNMOS11dによって貫通電流を制限しているため、該インバータ11の出力側への電流供給能力がほとんどなく、2段目のインバータ12を駆動する能力が小さい。このため、コンデンサ11e、11fを設け、図18に示すように、このコンデンサ11e、11fに一時的に蓄積された電荷を利用して2段目のインバータ12を駆動するようにしている。これにより、発振動作を確実に行わせることができる。

【0019】コンデンサ11e、11fの容量値は例えば1pFというように非常に小さいため、図20に示すように、このコンデンサ11e、11fを設けたことによる電流増加はほとんどない。図21に示すように、発振周波数100KHzにおいてCR発振回路の平均消費電流は、Hspiceでのシミュレーション値が3.26μAという値になる。図14の平均消費電流2.60μAに比べ、全体の平均消費電流がそれ程増加していないこと

が分かる。以上のように、本実施形態では、第1の実施形態の効果に加えて、コンデンサ11e、11fを設けたので、消費電力をそれ程増加させずに、発振動作を確実に行わせることができる。

【0020】なお、本発明は上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a)、(b)のようなものがある。

(a) 図1及び図15では、5段のインバータ11、11A～15のCR発振回路について説明したが、これらのインバータ11、11A～15の段数は任意の奇数段でよく、このような構成にしても、上記実施形態とほぼ同様の作用及び効果が得られる。又、MOSトランジスタのディメンジョン等の各回路素子の特性値は、電源電位VCC、及び発振周波数等の条件に応じて任意に変えることができる。

(b) 上記実施形態ではMOSトランジスタを用いて発振回路を構成したが、他のFET等のトランジスタを用いて構成することも可能である。

#### 【0021】

【発明の効果】以上詳細に説明したように、第1の発明によれば、1段目のインバータを第1、第2、第3及び第4のトランジスタで構成したので、該1段目のインバータの出力の切替わる瞬間以外は第3あるいは第4のトランジスタが確実にオフ状態になり、貫通電流を防止できる。これにより、消費電流を減少できる。第2の発明によれば、1段目のインバータ内に第1及び第2のコンデンサを設けたので、これらのコンデンサに一時的に蓄積される電荷を利用して2段目のインバータを駆動することができる。これにより、確実に発振動作を行わせることができる。第3の発明によれば、帰還コンデンサと直列に制限抵抗を接続したので、1段目のインバータ内の第1及び第2のトランジスタの制御電極へ流れる過電流を防止し、これらのトランジスタを保護できると共に、該制御電極の電圧変動を防止して該1段目のインバータの安定した切替え動作を行わせることができる。第4の発明によれば、出力ノードに出力バッファを接続したので、該出力バッファに接続される負荷の影響を少なくすることができる。第5の発明によれば、n段のインバータをFETでそれぞれ構成したので、小型で精度の良い発振回路を実現できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すCR発振回路の回路図である。

【図2】従来のCR発振回路の回路図である。

【図3】図2中のインバータ1の入力波形図である。

【図4】図2中のインバータ1の出力波形図である。

【図5】図2中のインバータ5の出力波形図である。

【図6】図2中のインバータ7の出力波形図である。

【図7】図2中のインバータ1の消費電流波形図である。

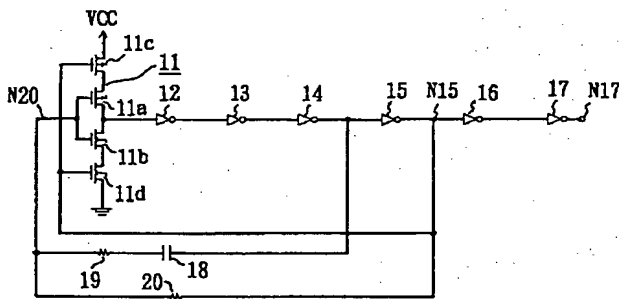


- 【図 8】 図 2 の全体の平均消費電流波形図である。
- 【図 9】 図 1 中の入力ノード N20 の波形図である。
- 【図 10】 図 1 中の出力ノード N15 の波形図である。
- 【図 11】 図 1 中のインバータ 11 の出力波形図である。
- 【図 12】 図 1 中のインバータ 17 の出力波形図である。
- 【図 13】 図 1 中のインバータ 11 の消費電流波形図である。
- 【図 14】 図 1 の全体の平均消費電流波形図である。
- 【図 15】 本発明の第 2 の実施形態を示す CR 発振回路の回路図である。
- 【図 16】 図 15 中の入力ノード N20 の波形図である。
- 【図 17】 図 15 中の出力ノード N15 の波形図である。
- 【図 18】 図 15 中のインバータ 11A の出力波形図である。

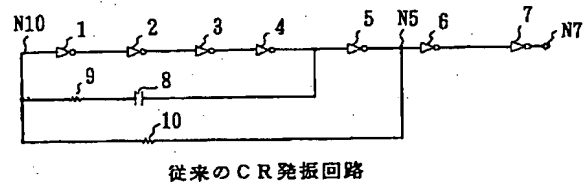
- ある。
- 【図 19】 図 15 中のインバータ 17 の出力波形図である。
- 【図 20】 図 15 中のインバータ 11A の消費電流波形図である。
- 【図 21】 図 15 の全体の平均消費電流波形図である。
- 【符号の説明】
- 11, 11A~17    インバータ
- 11a, 11c    PMOS
- 11b, 11d    NMOS
- 18    帰還コンデンサ
- 19    制限抵抗
- 20, 20A    帰還抵抗
- N15    出力ノード
- N17    出力端子
- N20    入力ノード

【図 1】

【図 2】



本発明の第 1 の実施形態の CR 発振回路



従来の CR 発振回路

【図 3】

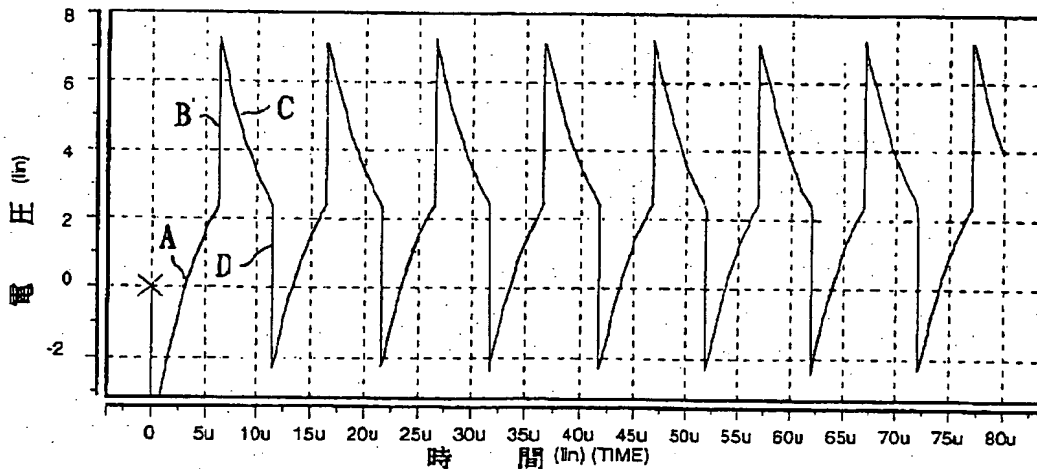


図 2 中のインバータ 1 の入力波形

【図4】

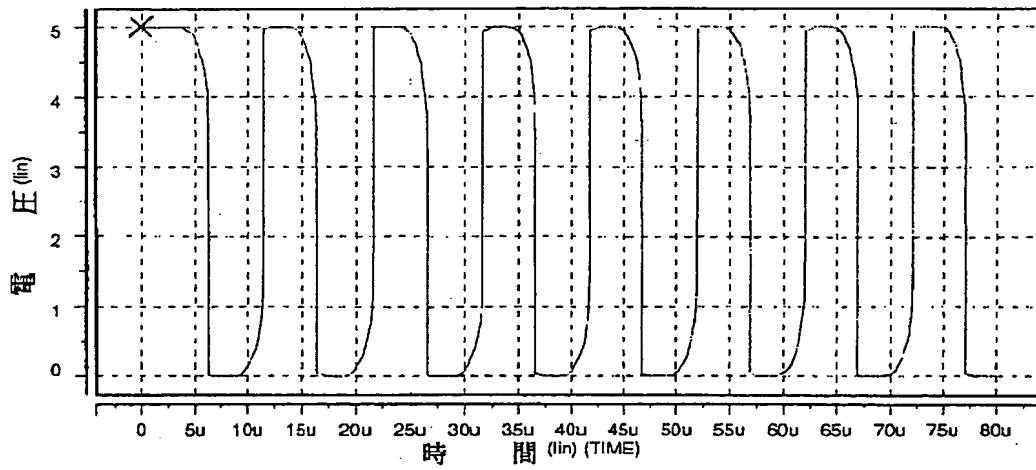


図2中のインバータ1の出力波形

【図5】

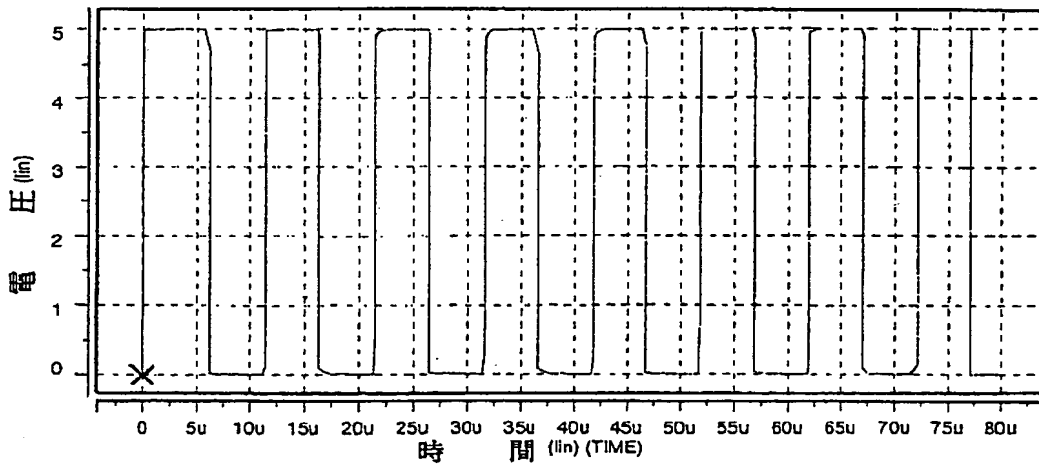


図2中のインバータ5の出力波形

【図6】

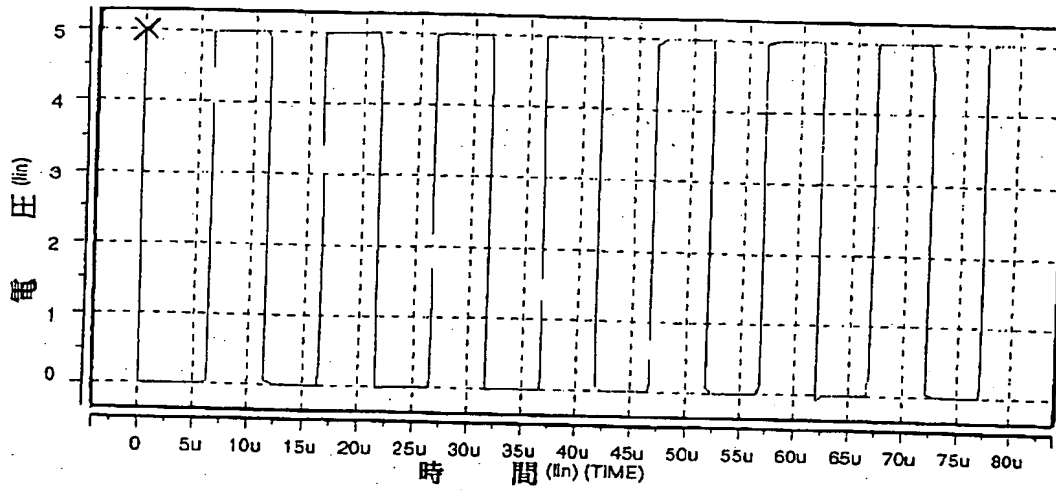


図2中のインバータ7の出力波形

【図7】

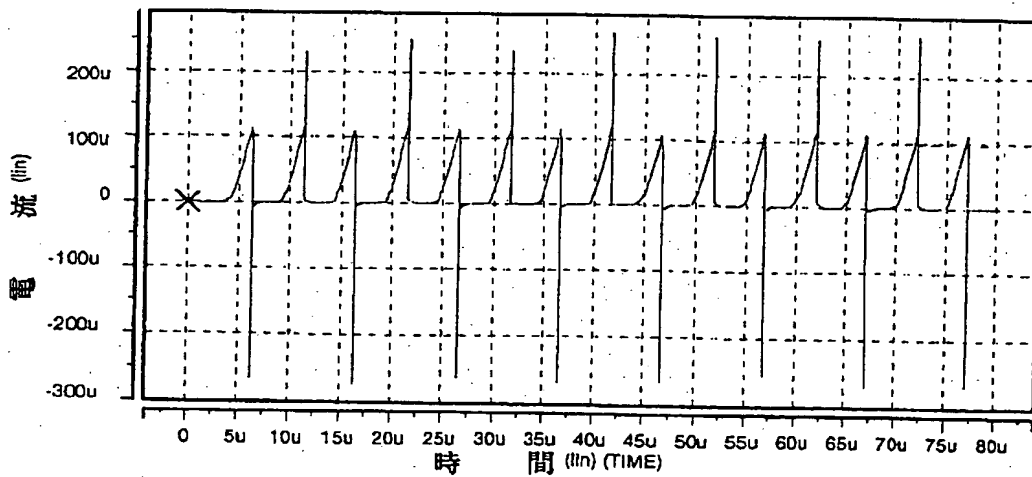


図2中のインバータ1の消費電流波形

【図8】

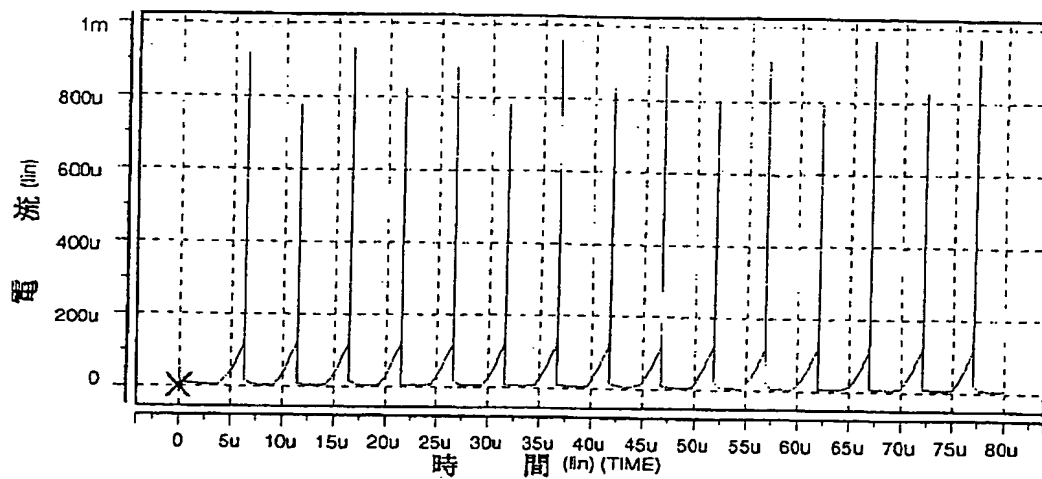


図2の全体の平均消費電流波形

【図9】

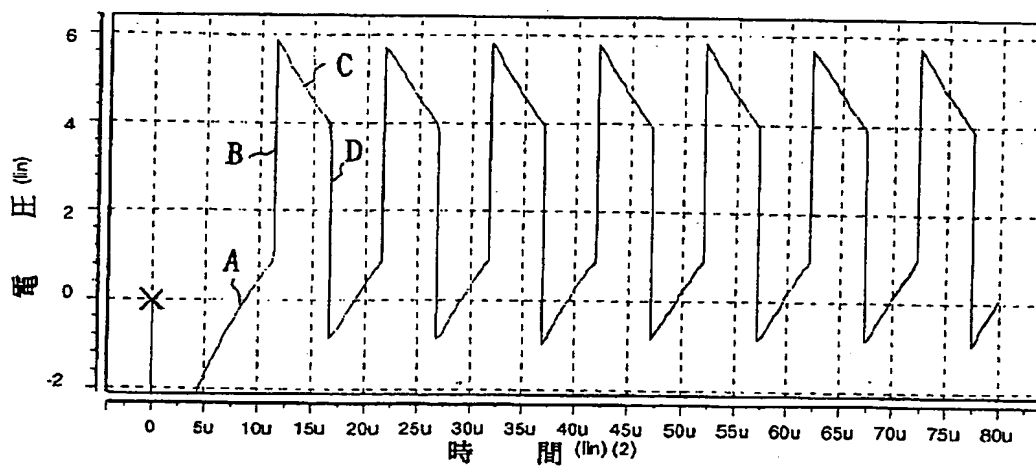


図1中の入力ノードN20の波形

【図10】

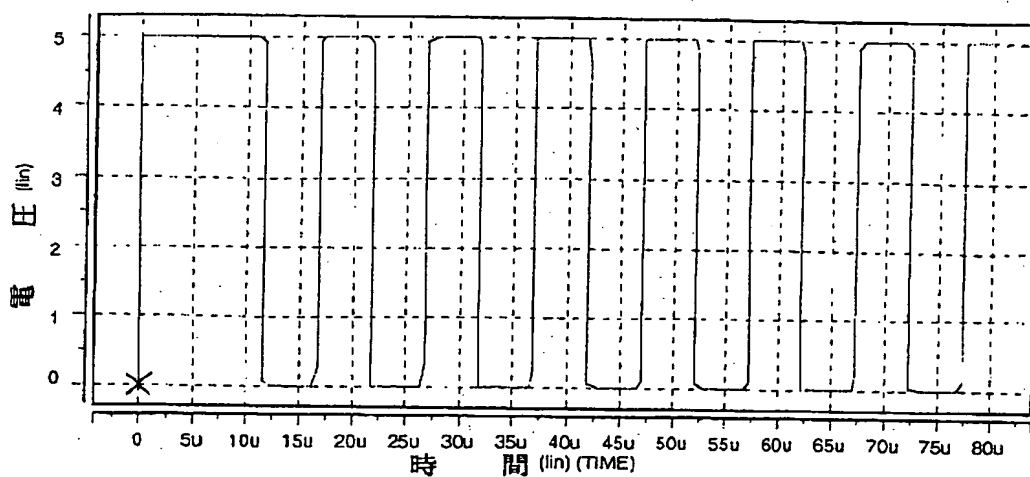


図1中の出力ノードN15の波形

【図11】

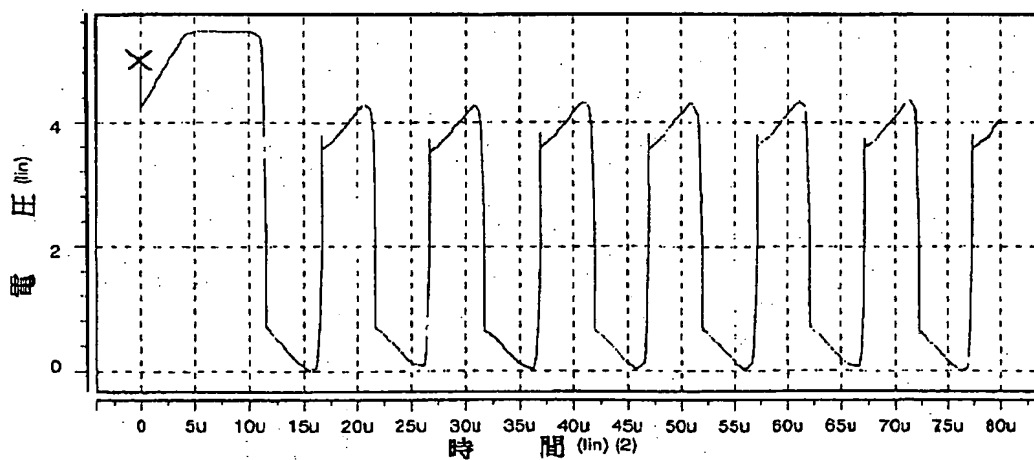


図1中のインバータ11の出力波形

【図12】

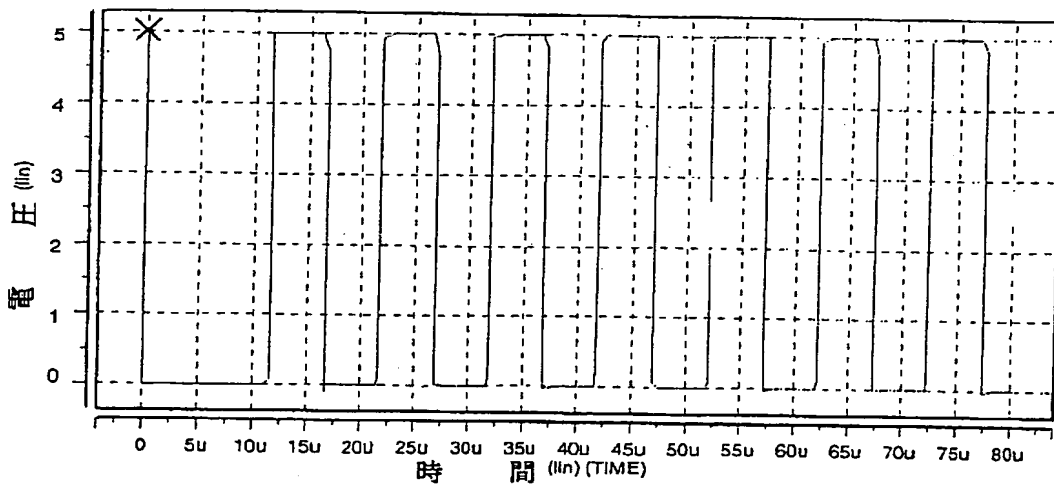


図1中のインバータ17の出力波形

【図13】

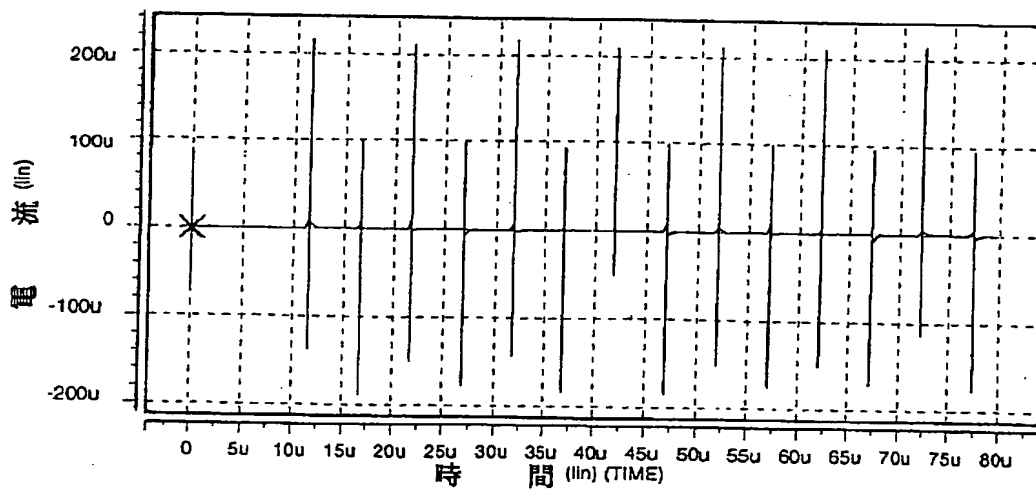


図1中のインバータ11の消費電流波形

【図14】

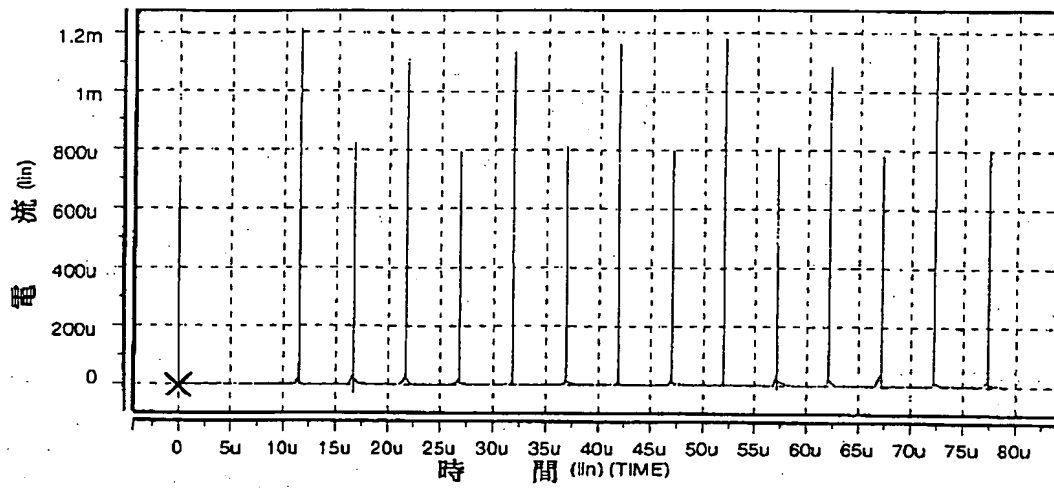
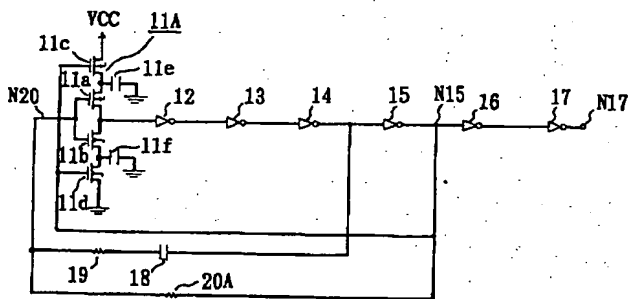


図1の全体の平均消費電流波形

【図15】



本発明の第2の実施形態のCR発振回路

【図16】

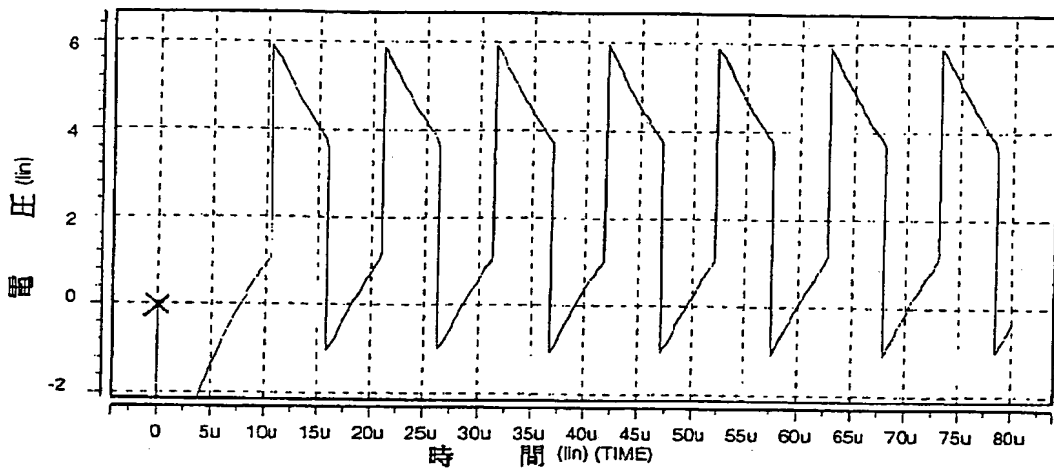


図15中の入力ノードN20の波形

【図17】

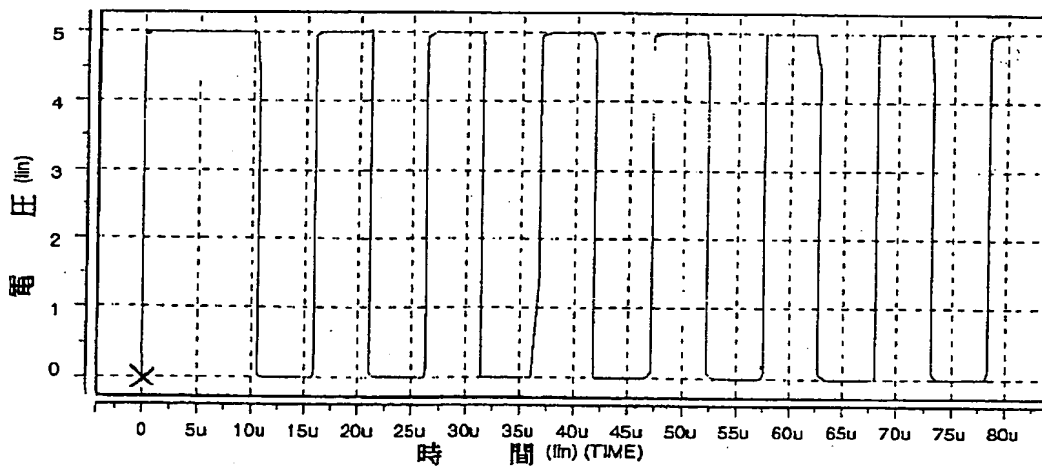


図15中の出力ノードN15の波形



【図18】

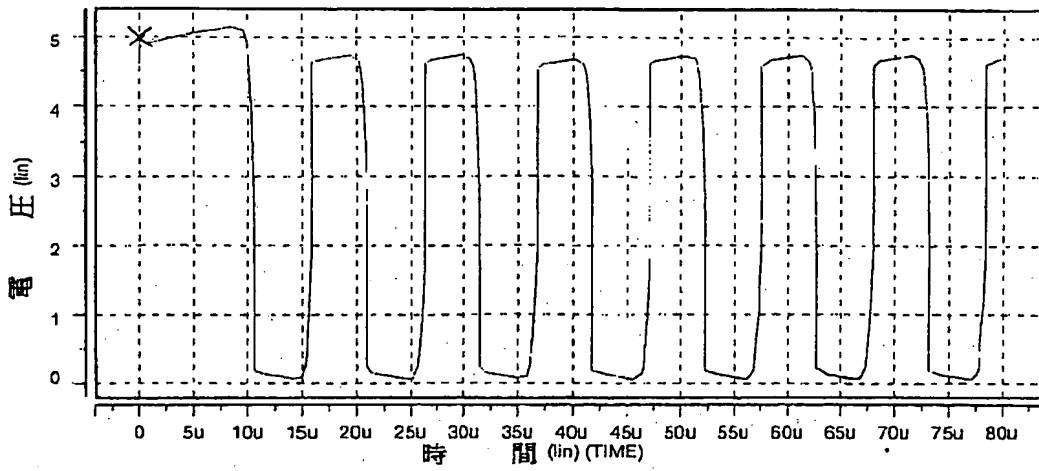


図15中のインバータ11Aの出力波形

【図19】

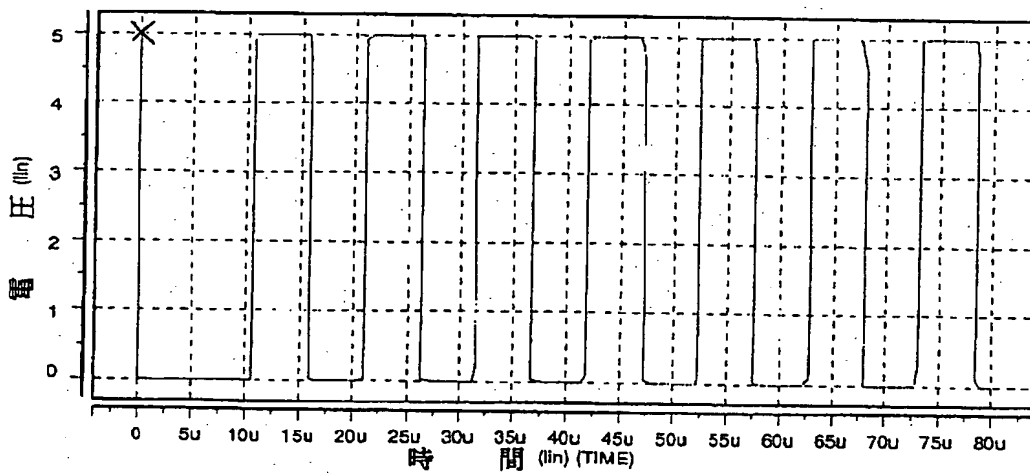


図15中のインバータ17の出力波形

【図20】

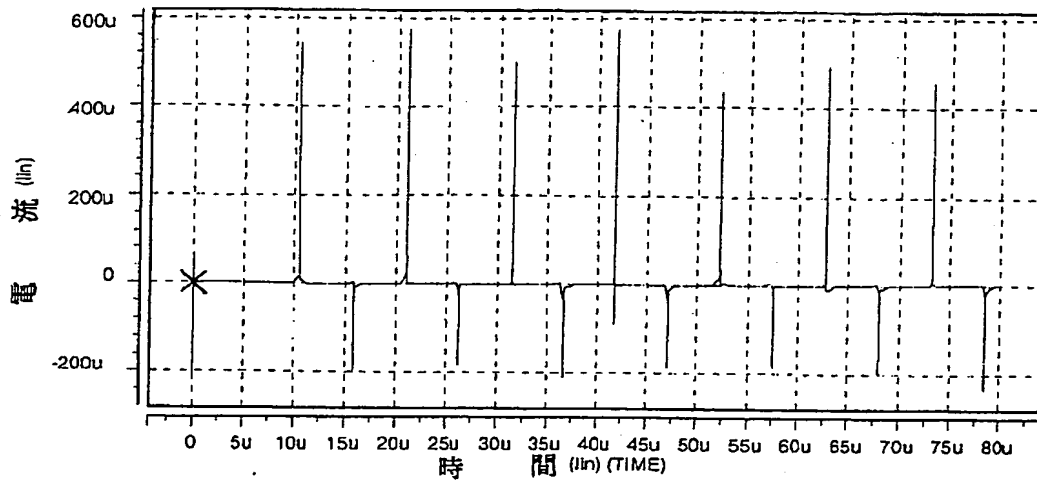


図15中のインバータ11Aの消費電流波形

【図21】

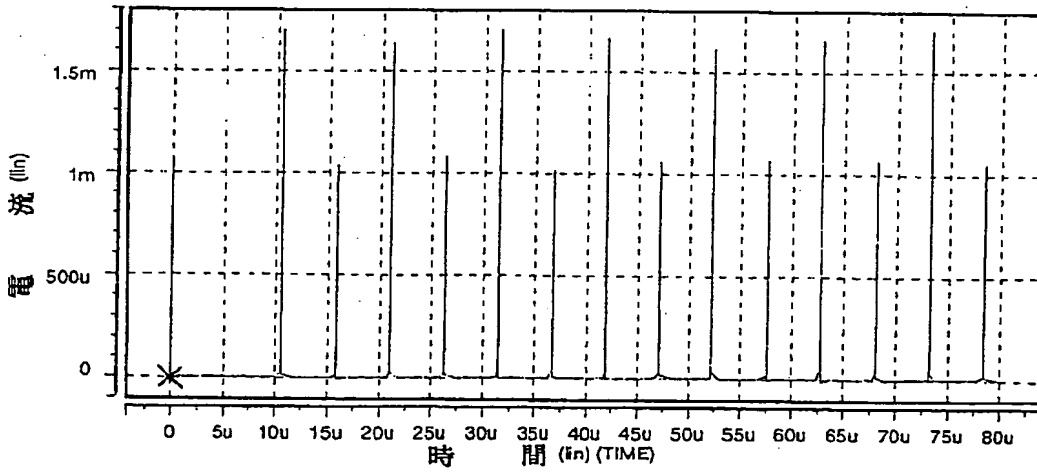


図15の全体の平均消費電流波形